



## Instructions on IDS

### References cited

1. CN1156903C (corresponding to US6218302 and JP2000049229)

5 2. US5785236A

### Examiner's conclusion:

Claims 1, 2, and 7 do not have inventive step defined in patent law § 22(3), respectively.

10

Claim 1 does not have inventive step. Reference 1 discloses a semiconductor device having relevant features (See page 3, line 3 to page 9, line 25 and fig. 1 to fig. 7 of reference 1). Reference 2 discloses a semiconductor device having relevant features (See column 2, line 54 to column 4, line 24 and fig. 1A to fig. 1D). Reference 1 and 2 are  
15 common in technical field, therefore it would have been obvious to one having ordinary skill in the art to make an invention of claim 1.

15

Claim 2 does not have inventive step. Reference 1 discloses a semiconductor device having relevant features (See page 8, line 4 to line 8 and fig. 4 of reference 1). Therefore, it would have been obvious to one having ordinary skill in the art to make an  
20 invention of claim 2.

20

Claim 7 does not have inventive step. Reference 1 discloses a semiconductor device having relevant features (See fig. 6 of reference 1). Therefore, it would have been obvious to one having ordinary skill in the art to make an invention of claim 7.

# CCPIT PATENT AND TRADEMARK LAW OFFICE

TOSHIBA TECHNO CENTER INC.  
8TH FLOOR, SUMITOMO-HAMAMATSU CHO  
BUILDING  
18-16, HAMAMATSU CHO 1-CHOME  
MINATO-KU, TOKYO 105-0013  
JAPAN 日本

10/F, Ocean Plaza  
158 Fuxingmennei Street,  
Beijing 100031, China  
Telephone: 86-10-66412345 / 68516688  
Facsimile: 86-10-66415678  
86-10-66413211 (NEW!)  
E-mail: mail@ccpit-patent.com.cn  
Web site: www.ccpit-patent.com.cn  
FAX No.: 0081354012501 / 2502

January 06, 2005

Y/R: 46G33121-CHN-AT

O/R: IIE020410

Re: Chinese Application for Invention No. 02118069.5  
in the name of KABUSHIKI KAISHA TOSHIBA

Title: 半導体装置、半導体装置の製造方法

Dear Mr. 吉原 利樹:

拝啓 益々御清栄のこととお慶び申し上げます。

当方は2004年12月10日に中国特許庁から発行した、標記特許出願の第一回拒絶理由通知書を受領いたしました。ここで拒絶理由通知書のコピーとその日本語訳文を送付いたしますので、ご査収ください。

審査官が引用した中国語の引例1 (CN1156903C) はMOTOROLAが中国における発明特許であり、その対応するアメリカと日本出願はそれぞれUS6218302とJP2000049229であります。

審査官は独立請求項11、14、18と独立請求項1、9、10との間には単一性を具備しないと認め、且つ独立請求項11、14、18及びその従属請求項を削除するか、これらの請求項に基づき、別途に分割出願を提出することを提案しました。該拒絶理由書では、審査官は請求項1-10のみを評価しました。

審査官は請求項1、2と7は進歩性を具備しないと認めたので、出願人は指摘されていない従属請求項の技術的特徴を独立請求項に補完することができます。ここでは、本発明の独特の技術的特徴及び技術効果を明示して、請求項に体现させることによって、本発明を引例から明確的に区別させることは、非常に重要だと思っております。

審査官が指摘した形式問題については、出願人は庁指示を参照しながら請求項3を補正してください。請求項4と6の形式問題については、具体的に言語表現の問題に関っているので、弊所でご処理させていただきます。例えば、審査官の提案に基づき、請求項4を補正して、また、請求項6の長すぎる語句を改めて調整致します。

拒絶理由通知書に対しての応答期限日は2005年4月10日であるため、貴方のご指示は2005年3月25日までにくださいますようお願いいたします。

また、延長費を支払う上で、出願人は応答期限を2ヶ月延長することを請求することができます。但し、2回目の延長は許されません。

他に不明な点がありましたら、遠慮なくご連絡ください。

敬具

王永剛

Wang Yonggang

CCPIT Patent and Trademark Law Office

RECEIVED  
JAN 17 2005  
TOSHIBA TECHNO CTR

# 中華人民共和國知的財産権局

郵便番号 100037 中国北京市阜成門外大街2号8階 中国国際貿易促進委員会特許商標事務所 王永剛		審査官	
出願番号:	021180695		発行日
出願人:	株式会社東芝		(2004年12月10日)
発明の名称:	半導体装置と半導体装置の製造方法		

## 第 1 回 審 査 意 見 通 知 書

- ☒ 出願人が提出した審査請求に応じて、中国特許法第 35 条第 1 項の規定に基づき、審査官が、上記の発明特許出願に対して審査を行った。  
☐ 中国特許法第 35 条第 2 項に規定に基づき中国知的財産権局は上記の発明特許出願に対して審査を行うことを決定した。
- ☒ 出願人が以下の日付を優先権日と主張した。  
 日本 国の特許庁での出願日である 2001 年 03 月 01 日を優先権日と主張した。  
 日本 国の特許庁での出願日である 2001 年 08 月 30 日を優先権日と主張した。  
 日本 国の特許庁での出願日である 2001 年 12 月 12 日を優先権日と主張した。  
 日本 国の特許庁での出願日である 2001 年 12 月 28 日を優先権日と主張した。  
 \_\_\_\_\_ 国の特許庁での出願日である \_\_\_\_\_ 年 \_\_\_\_\_ 月 \_\_\_\_\_ 日を優先権日と主張した。  
☒ 且つ優先権証明書を提出した。  
☐ 但し、今まで証明書類がまだ届けおらず、中国特許法第 33 条の規定に基づき、優先権を主張しないと見なされる。
- ☐ 出願人が \_\_\_\_\_ 年 \_\_\_\_\_ 月 \_\_\_\_\_ 日と \_\_\_\_\_ 年 \_\_\_\_\_ 月 \_\_\_\_\_ 日補正書類を提出した。  
 審査の結果、上記の補正書類の内 \_\_\_\_\_ 年 \_\_\_\_\_ 月 \_\_\_\_\_ 日に提出した \_\_\_\_\_ は受け入れない；  
 \_\_\_\_\_ 年 \_\_\_\_\_ 月 \_\_\_\_\_ 日に提出した \_\_\_\_\_ は受け入れない；  
 補正は、☐ 中国特許法第 33 条の規定に満たしていないからこと、  
☐ 中国特許法実施細則第 51 条の規定に満たしていないからことである。  
 補正の受け入れない具体理由は審査意見通知書の正文部分に記載されている。
- ☒ 審査は願書の添付した出願書類に対して行ったものである。  
☐ 審査は下記の添付した出願書類に対して行ったものである。  
 明細書 出願日に提出した願書の第 \_\_\_\_\_ 頁；  
 \_\_\_\_\_ 年 \_\_\_\_\_ 月 \_\_\_\_\_ 日に提出した第 \_\_\_\_\_ 頁、 \_\_\_\_\_ 年 \_\_\_\_\_ 月 \_\_\_\_\_ 日に提出した第 \_\_\_\_\_ 頁；  
 クレーム 出願日に提出した願書の第 \_\_\_\_\_ 項；  
 \_\_\_\_\_ 年 \_\_\_\_\_ 月 \_\_\_\_\_ 日に提出したクレーム第 \_\_\_\_\_ 項；  
 \_\_\_\_\_ 年 \_\_\_\_\_ 月 \_\_\_\_\_ 日に提出した第 \_\_\_\_\_ 項、 \_\_\_\_\_ 年 \_\_\_\_\_ 月 \_\_\_\_\_ 日に提出した第 \_\_\_\_\_ 項；  
 図面 出願日に提出した願書の第 \_\_\_\_\_ 頁；  
 \_\_\_\_\_ 年 \_\_\_\_\_ 月 \_\_\_\_\_ 日に提出した第 \_\_\_\_\_ 頁、 \_\_\_\_\_ 年 \_\_\_\_\_ 月 \_\_\_\_\_ 日に提出した第 \_\_\_\_\_ 頁；  
 \_\_\_\_\_ 年 \_\_\_\_\_ 月 \_\_\_\_\_ 日に提出した第 \_\_\_\_\_ 頁、 \_\_\_\_\_ 年 \_\_\_\_\_ 月 \_\_\_\_\_ 日に提出した第 \_\_\_\_\_ 頁；  
 要約書 ☐ 出願日に提出した； ☐ \_\_\_\_\_ 年 \_\_\_\_\_ 月 \_\_\_\_\_ 日に提出した  
 要約書の図面 ☐ 出願日に提出した； ☐ \_\_\_\_\_ 年 \_\_\_\_\_ 月 \_\_\_\_\_ 日に提出した
- ☐ 本意見通知書は調査を行っていない上でできたものである。  
☒ 本意見通知書は調査を行った上でできたものである。

- ☒ 本意見通知書には、下記の先行技術文献を引用した。(先行技術文献の順号は今後の審査手続きにおいて引き続きを使用する。)

順号	先行技術文献番号又は文献の名称	公開日(又は抵触出願の出願日)
1	CN1156903C	2000-2-9
2	US5785236A	1998-7-28
3		
4		

6. 審査の結論的な意見

☐ 明細書について

- ☐ 出願の内容は特許法第5条に規定される範囲に属する  
☐ 明細書は特許法第26条第3項の規定に満たさない。  
☐ 明細書は特許法第33条の規定に満たさない。  
☐ 明細書の書き方は特許法実施細則第18条の規定に満たさない。

☒ クレームについて

- ☐ クレーム \_\_\_\_\_ は特許法第22条第2項に規定される新規性を具備していない。  
☒ クレーム 1、2、7 は特許法第22条第3項に規定される進歩性を具備していない。  
☐ クレーム \_\_\_\_\_ は特許法第22条第4項に規定される実用性を具備していない。  
☐ クレーム \_\_\_\_\_ は特許法第25条に規定される範囲に属する。  
☐ クレーム \_\_\_\_\_ は特許法実施細則第2条第1項の規定される発明の定義を満たさない。  
☐ クレーム \_\_\_\_\_ は特許法第26条第4項の規定に満たさない。  
☐ クレーム \_\_\_\_\_ は特許法第31条第1項の規定に満たさない。  
☐ クレーム \_\_\_\_\_ は特許法実施細則第13条第1項の規定に満たさない。  
☐ クレーム \_\_\_\_\_ は特許法実施細則第18項の規定に満たさない。  
☒ クレーム 3、6、4 は特許法実施細則第20条の規定に満たさない。  
☐ クレーム \_\_\_\_\_ は特許法実施細則第21条の規定に満たさない。  
☐ クレーム \_\_\_\_\_ は特許法実施細則第22条の規定に満たさない。  
☐

上記の結論的な意見に関する具体的な分析は本通知書の正文に記載されている。

7. 上記の結論的な意見に基づき、審査官が下記の意見を出します:

- ☐ 出願人が本通知書の正文に提出した要求に応じて出願種類を補正してください。  
☒ 出願人が意見陳述書において上記の特許出願に特許を付与すべき理由について説明し、本通知書正文で指摘された規定を満たしていない個処に対して補正しなければならない、さもなければ、特許を付与することができない。  
☐ 特許を付与すべき実質的な内容がないと認めるので、出願人が理由を陳述しないあるいは十分な理由により本願特許出願には特許を付与すべき実質的内容を有することを説明しない限り、当該特許出願は拒絶されることになる。

8. 出願人が下記の事項を注意してください:

- (1) 特許法第37条の規定に基づき、出願人が本通知書を受領する日から 4 ヶ月以内に意見を陳述しなければならない。正当な理由がなく期間が経過しても応答しなかった場合には、当該特許出願は取り下げられたものと見なされる。  
(2) 補正する場合は、特許法第33条の規定に満たさなければならない、補正書類は一式二部を提出しなければならない。補正書類の様式は審査ガイドの規定に満たさなければならない。  
(3) 出願人が意見陳述書及び/又は補正書類を専利局受理処に郵送或は直接に送達しなければならない、受理処に郵送或は直接に送達しなかった書類は法律的な効能を具備しない。  
(4) 予約しないと、出願人及び/又は代理人が専利局に来て審査官と面接するわけにはいけない。

9. 本通知書の正文合計 2 ページで、下記の添付書類を含む:

- ☒ 引用した先行技術文献のコピー計 2 部 12 頁。

## 第一回拒絶理由通知書の正文

出願番号：021180695

独立請求項 11、14、18 と独立請求項 1、9、10 の権利化しようとする技術案とは相同又は相応の特定の技術特徴を具備しない。独立請求項 1、9、10 の共有する特定の技術特徴は、銅と銅よりも酸化傾向の大きい金属とを含む合金層が底面に達して形成されているパッド電極層と、前記パッド電極層に達する開口部を有する絶縁性保護膜とを具備することである。しかし、独立請求項 11、14、18 の共有する特定の技術特徴は、前記配線パッド上に設けられ、前記配線パッドに達する複数のコンタクトホールを有する絶縁膜と、前記配線パッド上に前記絶縁膜を介して設けられ、前記複数のコンタクトホールを介して前記配線パッドに電氣的に接続する、前記配線パッドに対しての導電性保護層とを具備することである。これにより、独立請求項 11、14、18 と独立請求項 1、9、10 の権利化しようとする技術案とは相同又は相応の特定の技術特徴を具備しなく、単一性を具備しない。出願人は独立請求項 11、14、18 及びその従属請求項を削除するよう提案する。本拒絶理由書は独立請求項 11、14、18 及びその従属請求項に対して評価しない。続いて保護を請求しない発明について、出願人は本願が終了の前に別途に分割出願を提出することができる。

1、請求項 1 は第 22 条第 3 款の進歩性に関する規定を満たしていない。引例 1 (CN 1 1 5 6 9 0 3 A) 半導体装置が開示され、且つ具体的に以下の技術特徴が開示されている(引例 1 の明細書の第 3 頁第 3 行目—第 9 頁第 2 5 行目、明細書の図面 1—7 を参照)。即ち、半導体基板に媒体層 110 が形成され、媒体層にバリア層 122 が形成され、阻止層 122 に第 2 の導電膜 124 が形成され、そのうち、第 2 の導電層は銅、アルミニウムなどにより形成される。次に、第 2 の導電層 124 にパッシベーション層 21 が形成されて、パッシベーション層に媒体膜 22 が形成され、停止膜ストップ層 23 と媒体膜 24 及びハードマスキング膜 25 をエッチングする。次に、開口 30 を形成するように、一部の層間媒体膜 20 とパッシベーション膜 21 を構図する。次に、開口内にバリア層 41 (パッド電極層に達する開口部を有する絶縁性保護膜に相当す

る) が形成されて、阻止層 4 1 にシード層 4 2 と導電膜 4 3 が形成される。シード層 4 2 はニッケルにより構成される可能である。また、シード層 4 2 に、銅により構成される可能で、そして、開口 3 0 を完全に覆う厚さを有する導電膜 4 3 が形成され、それから、シード層 4 2 を導電膜へ拡散して合金成分 4 4 (銅と銅よりも酸化傾向の大きい金属とを含む合金層に相当) を形成するように、アニールする。

引例 1 と請求項 1 との区別は、1. 半導体基板に形成された銅配線層；2. 銅配線層に導通するパッド電極層であるにある。

区別特徴の 1 について、半導体基板に銅配線層が形成されることは、当業者にとって、言うまでもないことで、自明なことで、本分野の公知常識である。

区別特徴の 2 について、引例 2 (US 5 7 8 5 2 3 6 A) には、半導体構造が開示され、且つ具体的に以下の技術的特徴(引例 2 の明細書の第 2 欄第 5 4 行目—第 4 欄第 2 4 行目、明細書の図面 1 A—1 D を参照)が開示されている。即ち、集積回路 1 0 (銅配線に相当) に形成された銅の相互接続層 1 2 が形成される 1 2。

引例 1 と引例 2 の技術分野は同じであるので、したがって、引例 1 に基づいて、所属技術分野の公知常識を結合して、請求項 1 の権利化しようとする技術案を得ることは当業者にとって、自明なことであり、そして、この結合は予想以外の技術効果を生じていない。したがって、請求項 1 は際立った実質的特徴と顕著な進歩を具備しなく、進歩性を具備しない。

2、従属請求項 2 は第 22 条第 3 款の進歩性に関する規定を満たしていない。引例 1 には、また、以下の技術的特徴が開示されている(引例 1 の明細書の第 8 頁第 4 行目—第 8 行目、明細書の図面 4 を参照)。即ち、合金材料の例は、インジウム、錫、クロム、亜鉛などが含まれる。上記のように、従属請求項 2 の付加した技術的特徴も引例 1 が開示されているため、従属請求項 2 は進歩性を具備しない。

3、従属請求項 7 は第 22 条第 3 款の進歩性に関する規定を満たしていない。引例 1 の明細書の図面 6 から見出したように、層 4 3、4 4 と絶縁層 4 1 とを合わせて絶縁部材を有する突入式の構造に相当する。したがって、従属請求項

7の付加した技術的特徴も引例1に開示されているため、進歩性を具備しない。

4、従属請求項4は特許法実行細則第20条第1款の規定を満たしていない。従属請求項4における「2原子%以上」は本分野の規範的な技術用語に属さないことにより、請求項4の不明瞭を招致した。出願人はこれを「原子百分比は2%以上である」のように訂正するよう提案する。

5、従属請求項3、6は特許法実行細則第20条第1款の規定を満たしていない。従属請求項3における「その下方向でより低くなっている」という意味は不明瞭であるので、「より低くなっている」というのは、下へ行けば行くほど低くなるのか当業者がよく分からない。出願人は従属請求項3を訂正すべきである。従属請求項6における「前記第一の合金層よりも、前記銅よりも酸化傾向の大きい金属の濃度が低い第二の合金層の順に、積層状に構成される」という語句は筋が通じないことにより、従属請求項6の不明瞭を招致した。出願人は従属請求項6を訂正すべきである。

以上の理由で、現時点の文書では、本願への権利の付与はできない。出願人は本通知書の規定された4ヶ月の回答期限内に本願が新規性と進歩性を有する十分な理由を提出して、上記拒絶理由書に提出した拒絶理由に基づいて、出願書類の規定を満たさない箇所を補正することによって、存在している欠陥を克服すべき、さもなければ本願は却下されることになる。また、出願書類に対する補正は、特許法第33条の規定を満たすべき、つまり、もとの明細書と特許請求書の記載範囲を超えてはならない。

# 中华人民共和国国家知识产权局

邮政编码: 100037

北京市阜成门外大街2号万通新世界广场8层  
中国国际贸易促进委员会专利商标事务所

王永刚

2020410

发文日期



申请号: 021180695



申请人: 株式会社东芝

发明创造名称: 半导体器件及半导体器件的制造方法

## 第一次审查意见通知书

1. ☒ 应申请人提出的实审请求, 根据专利法第35条第1款的规定, 国家知识产权局对上述发明专利申请进行实质审查。

☐ 根据专利法第35条第2款的规定, 国家知识产权局决定自行对上述发明专利申请进行审查。

2. ☒ 申请人要求以在:

JP 专利局的申请日 2001年03月01日为优先权日,  
JP 专利局的申请日 2001年08月30日为优先权日,  
JP 专利局的申请日 2001年12月12日为优先权日,  
JP 专利局的申请日 2001年12月28日为优先权日,  
专利局的申请日 年 月 日为优先权日。

☒ 申请人已经提交了经原申请国受理机关证明的第一次提出的在先申请文件的副本。

☐ 申请人尚未提交经原申请国受理机关证明的第一次提出的在先申请文件的副本, 根据专利法第30条的规定视为未提出优先权要求。

3. ☐ 经审查, 申请人于:

年 月 日提交的 不符合实施细则第51条的规定;  
年 月 日提交的 不符合专利法第33条的规定;  
年 月 日提交的

4. 审查针对的申请文件:

☒ 原始申请文件。 ☐ 审查是针对下述申请文件的

申请日提交的原始申请文件的权利要求第	项、说明书第	页、附图第	页:
年 月 日提交的权利要求第	项、说明书第	页、附图第	页;
年 月 日提交的权利要求第	项、说明书第	页、附图第	页;
年 月 日提交的权利要求第	项、说明书第	页、附图第	页;
年 月 日提交的说明书摘要,	年 月 日提交的摘要附图。		

5. ☐ 本通知书是在未进行检索的情况下作出的。

☒ 本通知书是在进行了检索的情况下作出的。

☒ 本通知书引用下述对比文献(其编号在今后的审查过程中继续沿用):

编号	文件号或名称	公开日期(或抵触申请的申请日)
----	--------	-----------------

1 CN1156903C

2000年2月9日

2 US5785236A

1998年7月28日

6. 审查的结论性意见:

21301  
2002.8



回函请寄: 100088 北京市海淀区蓟门桥西土城路6号 国家知识产权局专利局受理处收  
(注: 凡寄给审查员个人的信函不具有法律效力)



☐ 关于说明书:

- ☐ 申请的内容属于专利法第 5 条规定的不授予专利权的范围。  
☐ 说明书不符合专利法第 26 条第 3 款的规定。  
☐ 说明书不符合专利法第 33 条的规定。  
☐ 说明书的撰写不符合实施细则第 18 条的规定。  
☐

☒ 关于权利要求书:

- ☐ 权利要求 不具备专利法第 22 条第 2 款规定的新颖性。  
☒ 权利要求 1, 2, 7 不具备专利法第 22 条第 3 款规定的创造性。  
☐ 权利要求 不具备专利法第 22 条第 4 款规定的实用性。  
☐ 权利要求 属于专利法第 25 条规定的不授予专利权的范围。  
☐ 权利要求 不符合专利法第 26 条第 4 款的规定。  
☐ 权利要求 不符合专利法第 31 条第 1 款的规定。  
☐ 权利要求 不符合专利法第 33 条的规定。  
☐ 权利要求 不符合专利法实施细则第 2 条第 1 款关于发明的定义。  
☐ 权利要求 不符合专利法实施细则第 13 条第 1 款的规定。  
☒ 权利要求 3, 6, 4 不符合专利法实施细则第 20 条的规定。  
☐ 权利要求 不符合专利法实施细则第 21 条的规定。  
☐ 权利要求 不符合专利法实施细则第 22 条的规定。  
☐ 权利要求 不符合专利法实施细则第 23 条的规定。  
☐

上述结论性意见的具体分析见本通知书的正文部分。

7. 基于上述结论性意见, 审查员认为:

- ☐ 申请人应按照通知书正文部分提出的要求, 对申请文件进行修改。  
☒ 申请人应在意见陈述书中论述其专利申请可以被授予专利权的理由, 并对通知书正文部分中指出的不符合规定之处进行修改, 否则将不能授予专利权。  
☐ 专利申请中没有可以被授予专利权的实质性内容, 如果申请人没有陈述理由或者陈述理由不充分, 其申请将被驳回。  
☐

8. 申请人应注意下述事项:

- (1) 根据专利法第 37 条的规定, 申请人应在收到本通知书之日起的肆个月内陈述意见, 如果申请人无正当理由逾期不答复, 其申请将被视为撤回。  
(2) 申请人对其申请的修改应符合专利法第 33 条的规定, 修改文本应一式两份, 其格式应符合审查指南的有关规定。  
(3) 申请人的意见陈述书和/或修改文本应邮寄或递交国家知识产权局专利局受理处, 凡未邮寄或递交给受理处的文件不具备法律效力。  
(4) 未经预约, 申请人和/或代理人不得前来国家知识产权局专利局与审查员举行会晤。

9. 本通知书正文部分共有 2 页, 并附有下列附件:

- ☒ 引用的对比文件的复印件共 2 份 12 页。 ☐



审查员: 熊洁 (A115)

2004 年 11 月 24 日

审查部门 专利发明审查部



## 第一次审查意见通知书正文

申请号：021180695

独立权利要求11,14,18与独立权利要求1, 9, 10所要求保护的技术方案没有相同或者相应的特定技术特征。独立权利要求1, 9, 10的共有的特定技术特征为：包含铜和比铜更易氧化的金属的合金层形成至底面的焊盘电极层，和具有到达上述焊盘电极层的开口部的绝缘性保护膜。而独立权利要求11, 14, 18所共有的特定技术特征为：具有设置在布线焊盘上，到达布线焊盘的多个接触孔的绝缘膜；和经绝缘膜设置在布线焊盘上，经多个接触孔和布线焊盘电连接的、对应布线焊盘的导电性保护层。因此，独立权利要求11,14,18与独立权利要求1, 9, 10不具有相同或者相应的特定技术特征，不具备单一性。建议申请人删除独立权利要求11,14,18及其从属权利要求，本通知书将不再针对独立权利要求11,14,18及其从属权利要求进行评述。针对不再要求保护的发明，申请人可以在本申请结案之前另行提出分案申请。

1. 权利要求1不符合中国专利法第22条第3款有关创造性的规定。对比文件1 (CN1156903A) 公开了一种半导体器件，并披露了以下技术特征（见对比文件1的说明书第3页第3行至第9页第25行，说明书附图1—7），包括：在半导体衬底上形成了介质层110，在介质层上形成了势垒层122，然后在阻挡层122上形成了第二导电膜124，其中第二导电层可以由铜、铝等构成。然后在第二导电膜124上形成钝化层21，然后在钝化层上形成介质膜22，腐蚀停止膜23和介质膜24，以及硬掩模膜25。然后构图一部分层间介质膜20和钝化膜21，从而形成开口30。然后在开口内形成势垒层41（相当于到达焊盘电极层的开口部的绝缘性保护膜），然后在阻挡层41上形成引晶层42和导电膜43。引晶层42可以由镍构成。然后在引晶层42上形成导电膜43，导电膜可以由铜构成并且导电膜具有完全覆盖开口30的厚度，然后进行退火，使得引晶层向导电膜中扩散从而形成合金组分44（相当于包含铜和比铜更易氧化的金属的合金层）。

对比文件1与权利要求1的区别在于：1. 在半导体衬底上形成的铜布线层；2. 焊盘电极层与铜布线层导通。

对于区别技术特征1，在半导体衬底上形成铜布线层对于本领域的技术人员来说是显而易见的，属于本领域的公知常识，

对于区别技术特征2，对比文件2 (US5785236A) 公开了一种半导体结构，并披露了以下技术特征（见对比文件2的说明书第2栏第54行至第4栏第24行，说明书附图1A-

1D)，包括：在集成电路10（相当于铜布线）上形成铜互连层12。

对比文件1和对比文件2技术领域相同，在对比文件1的基础上结合对比文件2，并结合所属技术领域中的公知常识，得出权利要求1所要求保护的技术方案，对所属技术领域的技术人员来说是显而易见的，而且它们的结合没有产生预料不到的技术效果，因此权利要求1不具备突出的实质性特点和显著的进步，因而不具备创造性。

2. 从属权利要求2不符合中国专利法第22条第3款有关创造性的规定。对比文件1还公开了以下技术特征（见对比文件1的说明书第8页第4行至第8行，说明书附图4），包括：合金材料的例子包括铜、锡、铬、锌等。由此可见，从属权利要求2的附加技术特征也已经被对比文件1公开了，因此从属权利要求2不具备创造性。

3. 从属权利要求7不符合中国专利法第22条第3款有关创造性的规定。从对比文件1的说明书附图6可以明显看出：层43、44和绝缘层41合在一起相当于具有绝缘性构件的突入式的结构。因此从属权利要求7的附加技术特征也已经被对比文件1公开了，因此从属权利要求7不具备创造性。

4. 从属权利要求4不符合中国专利法实施细则第20条第1款的规定。从属权利要求4中的“2原子%”不属于本领域规范的技术术语，从而导致权利要求4不清楚，建议申请人改为“原子百分比为2%”。

5. 从属权利要求3，6不符合中国专利法实施细则第20条第1款的规定。从属权利要求3中的“其下方向更低”含义不清楚，本领域的技术人员不清楚“更低”是否是越往下越低，申请人应当对从属权利要求3进行修改；从属权利要求6中的“和上述第1合金层相比上述铜更易氧化的金属的浓度更低的第2合金层依次构成为层积状”语句不通顺，从而导致从属权利要求6不清楚，申请人应该对从属权利要求6进行修改。

基于上述理由，该申请按照目前的文本还不能授予专利权。申请人应在本通知书规定的四个月答复期限内提出表明该申请具有新颖性和创造性的充分理由，并根据本通知书提出的审查意见，对申请文件不符合规定之处进行修改，克服所存在的缺陷，否则，该申请将被驳回。同时应当注意，对申请文件的修改应该符合中国专利法第三十三条的规定，不得超出原说明书和权利要求书记载的范围。

审查员：熊洁

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-049229

(43)Date of publication of application : 18.02.2000

(51)Int.Cl.

H01L 21/768  
H01L 21/3205

(21)Application number : 11-205553

(71)Applicant : MOTOROLA INC

(22)Date of filing : 21.07.1999

(72)Inventor : GREGOR BRACKELMAN  
RAMUNAS BENKATORAMAN  
MATTHEW THOMAS HERICK  
CINDY R SIMPSON  
FIORDALICE ROBERT W  
DENNING DEAN J  
JAIN AJAY  
CHRISTIANO CAPASO

(30)Priority

Priority number : 98 121068

Priority date : 21.07.1998

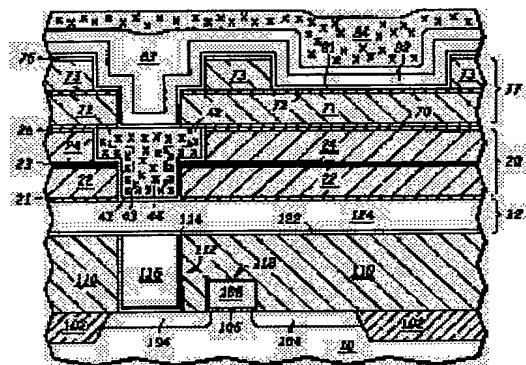
Priority country : US

## (54) METHOD FOR FORMING SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a mutual connection structure in a semiconductor device that has advantages as compared with prior art and the method for forming the same.

**SOLUTION:** A mutual connection part 60 is formed on a substrate 10. In an embodiment, an adhesive/barrier layer 81, a copper alloy seed layer 42 and a copper film 43 are deposited on the substrate 10, and the substrate 10 is annealed. In an alternative embodiment, the copper film is deposited on the substrate and the copper film is annealed. Furthermore, in another embodiment, the adhesive/barrier layer 81, a seed layer 82, a conductive film 83 and a copper alloy capping film 84 are deposited on the substrate 10 to form a mutually connecting part 92. The stages of depositing and annealing are performed on a common processing platform.



## LEGAL STATUS

[Date of request for examination] 13.10.1999

[Date of sending the examiner's decision of rejection] 24.07.2001

[Kind of final disposal of application other than

the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number] 3588275

[Date of registration] 20.08.2004

[Number of appeal against examiner's decision  
of rejection] 2001-18543

[Date of requesting appeal against examiner's  
decision of rejection] 16.10.2001

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-49229  
(P2000-49229A)

(43) 公開日 平成12年2月18日 (2000.2.18)

(51) Int.Cl.<sup>7</sup>  
H 0 1 L 21/768  
21/3205

識別記号

F I  
H 0 1 L 21/90  
21/88

テマコード (参考)

B  
M

審査請求 有 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願平11-205553

(22) 出願日 平成11年7月21日 (1999.7.21)

(31) 優先権主張番号 1 2 1 0 6 8

(32) 優先日 平成10年7月21日 (1998.7.21)

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009597

モトローラ・インコーポレイテッド  
MOTOROLA INCORPORAT  
REDアメリカ合衆国イリノイ州シャンバーグ、  
イースト・アルゴンクイン・ロード1303

(72) 発明者 グレゴリー・ブラッケルマン

アメリカ合衆国テキサス州オースティン、ナ  
ンバー147、スピイグラス・ドライブ1781

(74) 代理人 100091214

弁理士 大賀 進介 (外 2 名)

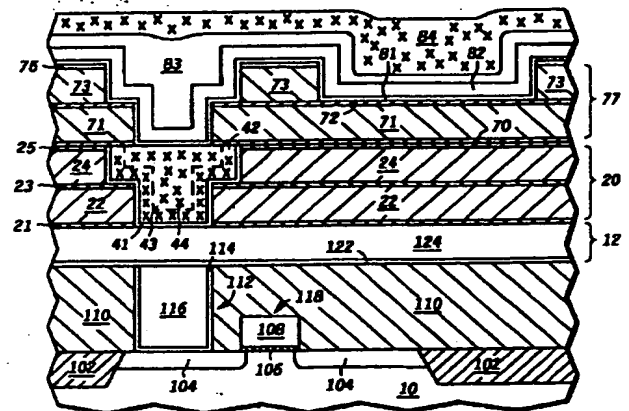
最終頁に続く

(54) 【発明の名称】 半導体装置の形成方法

(57) 【要約】

【課題】 従来技術に比して利点を提供する半導体装置における相互接続構造とその形成方法とを提供する。

【解決手段】 相互接続部 60 が基板 10 上に形成される。ある実施例においては、粘着／バリア層 81、銅合金シード層 42 および銅膜 43 が基板 10 上に堆積され、基板 10 がアニーリングされる。代替の実施例においては、銅膜が基板上に堆積され、銅膜がアニーリングされる。さらに別の実施例においては、粘着／バリア層 81、シード層 82、導電膜 83 および銅合金キャッピング膜 84 が基板 10 上に堆積され、相互接続部 92 を形成する。堆積およびアニーリングの段階は、共通の処理プラットフォーム上で実行することができる。



1

## 【特許請求の範囲】

【請求項1】 半導体装置を形成する方法であって：基板（10）上にバリア層（41）を形成する段階；前記バリア層（41）上に銅合金を含むシード層（42）を形成する段階；前記シード層（42）上に導電膜（43）を形成する段階；および前記基板（10）をアニーリングする段階；によって構成されることを特徴とする方法。

【請求項2】 半導体装置を形成する方法であって：基板（10）上にバリア層（81）を形成する段階であって、前記基板（10）が誘電膜（73）内に第1開口部（75）を有し、前記誘電膜が第1上面を有する段階；前記バリア層（81）上に銅含有膜（83）を形成する段階；前記銅含有膜（83）上に銅合金キャッピング膜（84）を形成する段階；および前記バリア層（81）、前記銅含有膜（83）および前記銅合金キャッピング膜（84）の部分を除去して、第1インレイ構造（92）を画定する段階であって、前記第1インレイ構造（92）が第2上面を有し、前記第2上面が前記第1上面と実質的に平面であって、前記銅合金キャッピング膜（84）の部分を有する段階；によって構成されることを特徴とする方法。

【請求項3】 半導体装置を形成する方法であって：基板（10）上に主として銅を含有する膜（43）を形成し、開口部を実質的に充たす段階；および前記基板（10）をアニーリングする段階であって、前記の主として銅を含有する膜（43）上に絶縁層（77）を形成する前にアニーリングが実行される段階；によって構成されることを特徴とする方法。

【請求項4】 半導体装置を形成する方法であって：基板（10）上に第1の主として銅を含有する膜を形成する段階であって、前記基板が誘電膜内に開口部（30）を有する段階；前記第1の主として銅を含有する膜をアニーリングする段階；基板上に第2の主として銅を含有する膜を形成する段階；および前記第1および第2の主として銅を含有する膜の部分を除去して、インレイ構造を画定する段階；によって構成されることを特徴とする方法。

【請求項5】 半導体装置を形成する方法であって：めっき室とアニーリング室とを有するプラットフォームを準備する段階；前記めっき室を用いて基板（10）上に材料をめっきする段階；および前記アニーリング室を用いて前記材料をアニーリングする段階；によって構成されることを特徴とする方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、一般に半導体装置に関し、さらに詳しくは、半導体装置における相互接続構造とその形成方法とに関する。

## 【0002】

2

【従来の技術および発明が解決しようとする課題】 集積回路は、半導体装置製造業者によって、ますます寸法が小さくなっている。相互接続プロセスの発達、特にインレイ相互接続（inlaid interconnect）技術は、回路寸法をさらに小さくするために模索される分野である。しかし、相互接続の寸法を小さくすると、対応して回路の電流密度が上がり、電気移動（エレクトロマイグレーション）に関する問題が起こる。この結果、時間の経過と共に回路に抵抗および信頼性において不可逆的な変化が起こることがある。

【0003】 現在、電流密度の増大の結果として起こる問題を克服するために、アルミニウムの代替品として銅が検証されている。銅は、固有抵抗が低く耐電気移動性が改善されていることを含めて、アルミニウムよりも本来的に優れる。しかし、高度な相互接続技術においてアルミニウムの代替品として銅を用いても電気移動の問題を全面的に回避できない。相互接続の寸法が小さくなり続ける限り、電気移動は信頼性上の懸念となる。

【0004】 さらに、相互接続を形成する際に銅を用いると信頼性に関して新たな問題が起こる。銅はポリイミドなどの酸化物含有薄膜や保護膜ポリマに対する粘着性が低い。これは、ビアおよび相互接続を形成する間に問題となるだけでなく、完成された半導体装置を組み立て実装する際にも問題となる。ボンド・パッドを形成するために本質的には純粋な銅薄膜を用いる場合にも、粘着性に関して信頼性の問題が報告されている。この問題には、銅のボンド・パッドとその上にあるパッシベーション薄膜との間の粘着性が弱いために起こる不良が含まれる。

## 【0005】

【実施例】 導電性相互接続部が基板上に形成される。ある実施例においては、粘着／バリア層、銅合金シード層および銅膜が基板上に堆積されてアニーリングされる。代替の実施例においては、銅含有膜が基板上に堆積されてアニーリングされる。さらに別の実施例においては、粘着／バリア層、シード層、導電膜および銅合金キャッピング膜が基板上に堆積される。この実施例ではアニーリングは任意で実施される。堆積およびアニーリングの段階は、共通の処理プラットフォームにおいて実行することができる。

【0006】 図1は、第1相互接続レベルを画定するために部分的に処理された半導体装置を示す。半導体装置は、半導体装置基板10、電界分離領域102、トランジスタ118、導電性プラグ112および誘電層110によって構成される。トランジスタ118は、ドーピング領域104、ゲート誘電膜106およびゲート電極108を備える。本明細書で用いられるには、半導体装置基板10は、単結晶半導体ウェハ、絶縁体上半導体基板（semiconductor-on-insulator）または半導体装置を形成するために用いられるその他の任意の基板によって構成

される。

【0007】ある実施例においては、ゲート電極108はポリシリコン層である。あるいは、ゲート電極108は、タングステンまたはモリブデンなどの金属層、窒化チタン、窒化タングステンなどの窒化金属層およびそれらの組み合わせとすることができる。さらに、ゲート電極108は、ポリシリコン膜上にある、ケイ化タングステン、ケイ化チタンおよびケイ化コバルトなどの金属ケイ化物で構成されるポリサイド膜とすることができる。

【0008】ゲート電極108の形成に続き、第1中間誘電 (ILD: interlevel dielectric) 層110が基板10上に形成され、パターンニングされてコンタクト開口部を形成する。ある実施例においては、第1ILD層110は、テトラエトキシシラン (TEOS: tetraethoxysilane) をソース気体として用いて形成されるプラズマ付着酸化物の薄膜である。あるいは、第1ILD層110は、窒化シリコン膜、燐酸シリケート・ガラス (PSG: phosphosilicate glass) 膜、硼酸燐酸シリケート・ガラス (BPSG: borophosphosilicate glass) 膜、酸窒化シリコン膜、ポリイミド膜、低k誘電体またはそれらの組み合わせとすることができる。

【0009】パターンニングに続いて、誘電層110内にコンタクト開口部が形成される。コンタクト開口部は、チタン/窒化チタン (Ti/TiN) およびタンタル/窒化タンタル (Ta/TaN) などの粘着/バリア層114と、タングステンなどの導電性充填材料116とを用いて形成導電性プラグ112によって構成される。堆積後に、導電性充填材料116とその下にある粘着/バリア層116の部分が、従来のエッチングまたは化学機械研磨法を用いて除去され、導電性プラグ112が形成される。あるいは、導電性プラグ112は、コンタクト充填材料としてドーピング・シリコンを用いて、粘着/バリア層114を用いて、あるいは用いずに形成することもできる。

【0010】導電性プラグ112の形成後、第2粘着/バリア層122および第2導電膜124が導電性プラグ112および誘電層110上に形成される。ある実施例においては、第2粘着/バリア層122はTa/TaNを用いて形成され、導電膜124は銅、アルミニウムなどを用いて形成される。第2粘着/バリア層122と第2導電膜124とを組み合わせると第1相互接続レベル12が形成される。プロセスのこの時点までは、図1に図示される装置を形成するために従来の方法が用いられる。

【0011】次に、図2に示されるように第1相互接続レベル12上にパッシベーション層21が形成される。ある実施例においては、パッシベーション層21は、プラズマ付着窒化シリコン膜である。あるいは、パッシベーション層21は、プラズマ付着酸窒化シリコン膜、窒化硼素膜などとする事もできる。パッシベーション層21は、相互接続レベル12内で、金属原子が、この後に相互接続レベル12上に堆積される誘電膜内に拡散す

る確率を小さくするために用いられる。たとえば、相互接続レベル12が銅で構成される場合、パッシベーション層21は銅拡散バリアとして機能する。

【0012】図2は、粘着/バリア層122上に形成される中間誘電層 (ILD) 20をさらに示す。ある実施例においては、中間誘電層20は、誘電膜22、中間エッチストップ膜23、誘電膜24およびハードマスク膜25によって構成される。

【0013】誘電膜22は、TEOSをソース気体として用いて形成されるプラズマ付着酸化物の薄膜とすることができる。あるいは、誘電膜22は、PSG膜、BPSG膜、SOG膜、低誘電率 (低k) 絶縁体などとする事もできる。本明細書については、低k絶縁体は、約3.5未満の誘電率を有する材料である。中間エッチストップ膜23は、プラズマ付着酸窒化シリコンの薄膜とすることができる。あるいは、中間エッチストップ膜23は、プラズマ付着窒化シリコン膜、窒化硼素膜などとする事もできる。誘電膜24は、TEOSをソース気体として用いて形成されるプラズマ付着酸化物の薄膜とすることができる。あるいは、誘電膜24は、PSG膜、BPSG膜、SOG膜、低誘電率 (低k) 絶縁体などとする事もできる。異なる誘電材料を用いて中間誘電膜20を形成する必要はない。たとえば、中間誘電膜20は、プラズマ付着酸化物、PSG、BPSG、SOG、ポリイミド、低誘電率絶縁体などの単独の誘電性材料を用いて形成することができる。誘電膜24上にはハードマスク膜25が存在する。ある実施例においては、ハードマスク膜25は、プラズマ付着酸窒化シリコン膜である。あるいは、ハードマスク膜25は、プラズマ付着窒化シリコン膜、窒化硼素膜などとする事もできる。

【0014】図3において、中間誘電層20とパッシベーション層21の部分がパターンニングされ、二重インレイ開口部30が形成される。図3に示されるように、二重インレイ開口部30は、相互接続部31とビア部32とによって構成され、ビア部32が導電性相互接続部12の部分を露出する。ビア先トレンチ後 (VFTL: via-first trench-last) 処理と合致するパターンニング・プロセスを用いると、ハードマスク膜25は、誘電膜24がエッチングされてエッチストップ膜23内にビア開口部を画定する間に誘電膜を保護し、エッチストップ23は誘電膜24内に二重インレイ開口部の相互接続部分を形成する際に誘電膜22を保護する。

【0015】図4では、粘着/バリア層41が二重インレイ開口部30内に形成される。ある実施例においては、粘着/バリア層は窒化タンタル膜である。あるいは、粘着/バリア層41は、窒化チタン膜、窒化タングステン膜、窒化タンタル・シリコン膜、タンタル膜、チタン・タングステン膜などとする事もできる。通常、粘着/バリア層41は従来のスパタリング法を用いて堆積される。あるいは、粘着/バリア層41を視準スパタ



リング、イオン化スパタリングまたは化学蒸着プロセスを用いて形成することもできる。

【0016】次に、シード層42と導電膜43が粘着/バリア層41上に形成される。ある実施例においては、シード層42は銅とマグネシウムによって構成される。あるいは、インジウム、スズ、クロミウム、亜鉛、炭素、ジルコニウム、パラジウム、チタン、鉄、ニオブウム、マグネシウムなどの他の合金材料または合金材料の組み合わせを用いることもできる。代替の実施例においては、シード層42は銅、ニッケル、スズなど、基本的

に単独の元素によって構成することもできる。  
【0017】シード層42を形成する方法は変わる。ある実施例においては、シード層42は、約2原子パーセントのマグネシウムと約98原子パーセントの銅とによって構成されるスパタリング・ターゲットを伴う物理的蒸着(PVD: physical vapor deposition)プロセスを用いて形成される。シード層42は、あるいは、イオン化PVD、ロングスロー(long throw)PVDまたは視準PVDなどを含む他のPVD堆積・プロセスを用いて堆積することも、化学蒸着(CVD)プロセスや無電解めっきまたは電解めっきなどのめっきプロセスを用いて堆積することもできる。シード層42は、粘着/バリア層41上に広がる連続膜として堆積され、二重インレイ開口部30内に形成される。ある実施例においては、シード層42は約150~250ナノメートルの範囲の厚みに堆積される。しかし、シード層は導電膜の充分なめっきが行えるだけの充分な厚みに形成し、なおかつ二重インレイ開口部30のコーナー端部を超えてシード層42が過剰に横方向に育ったり、二重インレイ相互接続開口部(30)の底に後で空隙が形成されることを阻止するだけの充分な薄さで形成しなければならないことは、当業者には理解頂けよう。

【0018】導電膜43がシード層42上に形成される。導電膜43は、二重インレイ開口部30を十分に充たすだけの厚みを有する。ある実施例においては、導電膜は従来の電解めっき法を用いて堆積される銅である。銅は約600ナノメートルの厚みにめっきされるが、これは二重インレイ開口部のトレンチ部の厚みの約1.5倍である。あるいは、導電膜43は、無電解めっき、CV

D、PVDまたはCVDとPVDとの組み合わせを含む他の堆積プロセスによっても形成することができる。  
【0019】図5は、矢印45によって示されるアニーリング段階中の図4の構造を示す。アニーリング段階により、シード層から導電膜43内に合金成分44が拡散する。シード層42から導電膜43内への合金成分44の拡散により、シード層42と導電膜43全体に合金成分44が再配分される。合金成分44の再配分がシード層42および導電膜43全体で均一になり、シード層42内ではより密度が高くなる。すなわち、使用される合金材料とアニーリング条件とに応じて、シード層42と

導電膜43の表面および界面において塊状に集中する。

【0020】アニーリングと、その後の合金成分44を導電膜43内に組み込む結果として、利点が得られる。この利点には、導電膜の抵抗特性とその粘着性の改善が含まれる。アニーリングによりシード層42と導電膜43の表面組成、形態および微細構造が変わる。摂氏300度超に温度を維持することで、合金成分44の導電膜43の表面および界面への移動が促進される。酸素原子にさらされると、酸化合金膜が形成される。この酸化合金膜により、導電膜43と、これに続き堆積されるパッシベーション層を含む隣接膜との粘着性が促進される。アニーリングを用いて合金成分44を拡散させる実施例においては、アニーリングを摂氏約300~450度の炉内で20~30分間実施する。

【0021】あるいは、アニーリングを合金非含有導電膜上で実行して、相互接続の電気移動の信頼性を改善することもできる。バリア層および本質的に単一の材料からなる導電膜を用いて導電性相互接続部を形成する実施例においては、基板を摂氏約200度で約5分間アニーリングするとよい。あるいは、基板を摂氏250~400度の範囲で少なくとも1分間アニーリングして、処理能力を改善する手段とすることもできる。アニーリングは、窒素雰囲気、減圧雰囲気または真空雰囲気内で実行して、被露出面の酸化を最小限に抑えることもできる。この実施例においては、本質的に単一の材料からなる導電膜の例には、電解めっき銅膜、CVD堆積銅膜などを伴う無電解めっき銅シード層が含まれる。

【0022】抵抗および電気移動のデータを用いて測定されるパラメータ試験は、アニーリング段階の結果として改善がなされたことを示す。薄膜抵抗の低減および膜全体の抵抗分布の改善および電気移動に関する改善は、アニーリング中の粒子成長と銅膜の高密度化に負うものである。アニーリングに先立ち、銅の粒子構造および粒子配向は膜全体で可変する。可変性の高い粒子構造および配向に関する異なる不良モードがすべて電気移動不良を起こす。銅をアニーリングすることにより、薄膜内の粒子構造分布がさらに均一になり、このような粒子構造に関する電気移動不良の変動はそれに応じてより狭い分布となる。

【0023】従って、シード層と導電膜をアニーリングを行なう結果として得られる利点は、導電膜を堆積する前にシード層をアニーリングを行なうことにより得られる。これは、摂氏約200~400度の温度範囲でシード層を堆積することによりその場で実行することができる。また、まずシード層を堆積し、その後で摂氏約200~400度の温度範囲において約1~5分間アニーリングを行ない、その後で導電層を堆積することにより実行することもできる。

【0024】本発明の実施例により、アニーリング段階は、急速加熱アニーリング(RTA: rapid thermal annealing)

1). , ホットプレート、加熱チャックまたは炉を用いて実行することができる。アニーリング・ステーションはクラスタ・ツールの一部として処理の流れに組み込むことができ、この場合、シード層の堆積段階、導電膜の堆積段階、回転リンス乾燥 (SRD: spin-rinse-dry) およびアニーリング段階またはこれらの段階の任意の組み合わせを単独の処理プラットフォーム上ですべて実行することができる。同様に、これらの段階を単独のウェハまたはバッチ・ウェハの処理動作として実行することができる。

【0025】図6においては、導電膜43、シード層42および粘着/バリア層41の部分が従来の化学機械的研磨プロセスを用いて除去され、相互接続開口部30内に相互接続部60が形成される。あるいは、相互接続部60は、イオン・ミリング、反応性イオン・エッチングおよびプラズマ・エッチングなどの従来のエッチング法を用いるか、エッチング法と研磨法とを組み合わせることで形成することもできる。

【0026】合金成分44がシード層42から導電膜43内に拡散される実施例においては、代わりに、相互接続の形成後にアニーリングを実施することもできる。代替の実施例においては、導電膜43、シード層42および粘着/バリア層41の部分を除去して相互接続部を形成した後に、摂氏約300~450度の炉で基板を約20~30分間アニーリングを行なう。アルゴン、ヘリウム、窒素などの相対的に不活性の雰囲気を用いて、誘電膜24と導電性相互接続部とが酸化される確率を下げることもできる。アニーリング段階中に、合金成分はシード層42から導電膜43内に拡散する。あるいは、前述の急速加熱アニーリング (RTA)、ホット・プレート・アニーリングまたは炉アニーリング・プロセスを用いてアニーリングを実施してもよい。このアニーリング段階は、導電性相互接続部の形成段階の後に実行される点が、前述のアニーリングとは異なる。しかし、最終的な製品は前述の相互接続部60と基本的に同じ利点を有する導電性相互接続部となる。

【0027】図7は、さらに半導体装置を示し、これにはパッシベーション層70、中間誘電層 (ILD) 77およびハードマスク層76が含まれる。ILD層77は、さらに下部誘電膜71、中間エッチストップ膜72および上部誘電膜73を備える。パッシベーション層70、ILD層77およびハードマスク層76は、パッシベーション層21、ILD層20およびハードマスク膜25を形成するために用いられる方法と同様の方法を用いて形成される。二重インレイ開口部74がハードマスク層76、ILD層77およびパッシベーション層70内に形成され、相互接続部60の部分を露出する。二重インレイ開口部74は、二重インレイ開口部30を形成するための前述の方法と同様の方法を用いて形成される。

【0028】本発明の実施例により、一重インレイ開口

部75も二重インレイ構造74の形成中に形成される。ある実施例においては、一重インレイ開口部75は、半導体装置のボンド・パッドを形成するために用いられる。エッチングを行なって一重インレイ開口部75を画定する間、二重インレイ開口部74の相互接続トレンチ部分を画定するために用いられるエッチストップ膜72は、下部誘電膜71の部分の除去を阻止することもある。

【0029】図8は、さらに半導体装置基板を示し、粘着/バリア層81、シード層82、二重インレイ構造を完全に充たし一重インレイ構造を部分的に充たす導電膜83および導電性合金キャッピング膜84を備える。ある実施例においては、粘着/バリア層81は、窒化タンタル膜であり、ハードマスク層76上であって、図7で画定される二重インレイ開口部74および一重インレイ開口部75の両方の中に形成される。あるいは、粘着/バリア層81は、窒化タンゲステン膜、窒化タンタル・シリコン膜、タンタル膜、タンタル・タンゲステン膜などとすることもできる。粘着/バリア層81は、従来のスパタリングまたは化学蒸着法を用いて堆積することができる。

【0030】粘着/バリア層81の上にはシード層82がある。この特定の実施例においては、シード層82は銅シード層であり、PVDプロセスを用いて約150~250ナノメートルの範囲の厚みまで堆積される。あるいはシード層82を導電性合金として堆積し、他の従来の堆積法を用いることもできる。合金材料の例には、インジウム、スズ、クロミウム、亜鉛、パラジウム、炭素、ジルコニウム、チタン、鉄、ニオブウムなどがある。

【0031】シード層82の上には、導電膜83がある。通常は、導電膜83を形成するために電解めっき・プロセスが用いられる。この特定の実施例においては、導電膜83は約300~500ナノメートルの厚みまで電解めっきされた銅膜である。あるいは、導電膜83を、PVDまたはCVDプロセスを用いて形成したり、アルミニウムまたは金などの他の導電性材料を用いて形成することもできる。

【0032】本発明の実施例により、導電膜は、二重インレイ開口部74を充たすのには充分であるが、一重インレイ開口部75を完全には充たさない厚みを有する。

【0033】図8を参照して、導電膜83の総厚は誘電膜73の最上レベルより下にある。尺度通り描かれない一重インレイ開口部の横寸法は、二重インレイ開口部よりかなり大きい。たとえば、一重インレイ開口部の寸法は全体が25~50ミクロンの範囲であり、二重インレイ開口部は約0.35ミクロンより小さい。一重インレイ開口部75は、幅が広いので一部分が充填されるにすぎない。

【0034】導電膜83の上には、導電性合金キャッピング膜84がある。本発明の実施例により、導電性合金

キャッピング膜84は導電膜83上に形成される銅マグネシウム合金である。導電性合金キャッピング膜84は、約2.0原子パーセントのマグネシウムと約98原子パーセントの銅とを含有する銅マグネシウム・スパタリング・ターゲットを伴うPVDプロセスを用いて堆積される。あるいは、図8に示されるように、導電性合金キャッピング膜84は、他の従来の堆積法を用いて、インジウム、スズ、クロミウム、亜鉛、ジルコニウム、パラジウム、炭素、チタン、鉄、ニオブウムなどの他の合金材料により形成することもできる。導電性合金キャッピング膜84は誘電膜73上部の下になる一重インレイ構造の部分を完全に充たす。銅合金キャッピング膜84は、前記では導電膜83により完全には充たされなかった一重インレイ開口部の部分を完全に埋めるように堆積される。

【0035】あるいは、銅合金キャッピング膜84を、前述のPVDプロセスを用いて形成することもできる。このときプロセス温度は摂氏約300~450度の範囲にある。昇温すると、一重インレイ構造および二重インレイ構造の両方において、導電膜83内への合金元素の拡散が促進され、前述の電気移動および粘着に関する利点を得られる。あるいは、複合銅合金キャッピング膜84と導電膜83をその後の処理段階中にアニーリングを行ない、同様の全体的な利点を得ることもできる。

【0036】図9においては、導電性合金キャッピング膜84、導電膜83、シード層82および粘着/バリア層81の部分が、従来の化学機械的研磨プロセスを用いて除去され、二重インレイ開口部74内に相互接続部91が、一重インレイ開口部75内にボンド・パッド92が形成される。あるいは、相互接続部91とボンド・パッド92とを、イオン・ミリング、反応性イオン・エッチングおよびプラズマ・エッチングなどの従来のエッチング法を用いるか、あるいはエッチング法と研磨法の両方を組み合わせて用いることにより形成することもできる。

【0037】導電性相互接続部91は、導電性粘着/バリア層81、シード層82および導電膜83の残りの部分によって構成される。ボンド・パッド92は、導電性粘着/バリア層81、シード層82、導電膜83および導電性合金キャッピング膜84の残りの部分によって構成される。

【0038】図10は、半導体装置をさらに示し、導電性相互接続部91、ハードマスク層76およびボンド・パッド92の部分の上にある追加のパッシベーション層1001を備える。ある実施例においては、パッシベーション層1001は10~20ナノメートルのプラズマ強化窒化物(PEN: plasma enhanced nitride)膜上にある250~350ナノメートルの酸窒化シリコン膜によって構成される。図10に示されるように、パッシベーション層1001がエッチングされ、ボンド・パッド92の

部分を露出する下開口部1002を形成する。パッシベーション膜は、従来のプラズマまたは湿式エッチング処理法を用いてエッチングされる。

【0039】図11は、さらに半導体装置を示し、パッシベーション層1001上にあるポリイミド膜1102を備える。ある実施例においては、ポリイミド膜は、従来のスピノン・プロセスを用いて形成され、約2.5~3.5ミクロンの範囲の厚みまで堆積される。次に、従来の処理を用いて上開口部1103がポリイミド膜内に形成される。本発明の実施例により、また図11に示されるように、上開口部1103は下開口部1002よりも大きい。これらの寸法は、半導体装置の設計および実装要件と、開口部を形成するために用いられるプロセスおよび装置によって決まる。パッシベーション膜1001の部分はボンド・パッド92内の導電性合金キャッピング膜84の部分まで延在し、その上に広がる。次に、導電性相互接続部1104がボンド・パッド92とパッシベーション膜部分の上と形成される。この後、導電性パッド1104は、半導体装置から半導体パッケージへの接続部となる。

【0040】導電性合金キャッピング膜84が存在するために、パッシベーション膜とボンド・パッドとの界面におけるパッシベーション膜のボンド・パッドに対する粘着性が良好になる。パッシベーション膜1101部分上の導電性相互接続部1104の部分は、パッシベーション膜とボンド・パッドとの界面ではがれにくくなる。よって、合金キャッピング膜84の存在によりダイ・ボンドの信頼性が改善される。これによって、半導体装置全体の信頼性が良くなる。

【0041】かくして、本発明の実施例により、従来技術に対して少なくとも3つの利点が提供されることは明らかである。これらの利点には、導電性相互接続部の抵抗分布における改善と、金属相互接続部の電気移動性能における改善と、上部および隣接する薄膜に関する相互接続部の粘着特性における改善とが含まれる。

【0042】上記の説明においては、本発明は特定の実施例を参照して説明された。しかし、請求項に明記される本発明の範囲から逸脱せずに種々の修正および変更が可能であることは当業者には明白であろう。従って、説明および図面は、制限的な意味ではなく事例として見なされるべきであり、これらすべての修正は本発明の範囲に包含されるものとする。利点、その他の長所および問題に対する解決策は、特定の実施例に関して説明された。しかし、これらの利点、長所および問題解決法と、利点、長所または解決法を生み出すことのできる、あるいはより顕著になる任意の要素は、任意のあるいは全請求項の決定的な、必須のまたは不可欠な機能または要素と解釈されるべきではない。

【図面の簡単な説明】

本発明は、添付の図面において例として説明されるが、

11

それに制限されない。図面内では同様の参照番号は同様の要素を指す。図面内の要素は簡単明瞭にするために図示され、必ずしも同尺に描かれないことは当業者には理解頂けよう。たとえば、図面内の一部の要素の寸法は他の要素に対して誇張されており、本発明の実施例の理解を助ける役割をする。

【図1】第1相互接続レベルを画定するために部分的に処理された半導体装置の部分の断面図である。

【図2】粘着／バリア層形成後の図1の基板と中間誘電膜の断面図である。

【図3】中間誘電膜内に二重インレイ開口部を形成した後の図2の基板の断面図である。

【図4】二重インレイ開口部内に粘着／バリア層、シード層および導電膜を堆積した後の図3の基板の断面図である。

【図5】図4の基板の断面図を示し、さらにシード層から導電膜内に合金成分を再配分するためのアニーリング段階を示す。

【図6】二重インレイ相互接続構造を形成後の図5の基板の断面図である。

【図7】第2中間誘電膜を堆積し、さらに上部二重インレイ開口部および一重インレイ開口部を形成した後の図6の基板の断面図である。

【図8】上部二重インレイ開口部および一重インレイ開口部上に、粘着／バリア層、シード層、導電膜および導電性合金キャッピング膜を堆積した後の図7の基板の断面図である。

12

\*【図9】二重インレイ相互接続構造およびボンド・パッド構造を形成した後の図8の基板の断面図である。

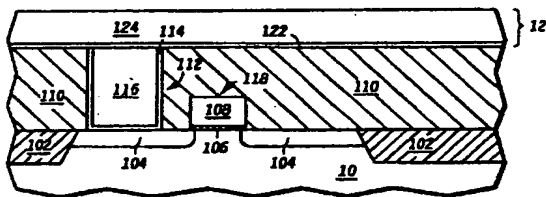
【図10】パッシベーション膜と、ボンド・パッドの部分を露出するパッシベーション膜内の開口部とを形成した後の図9の基板の断面図である。

【図11】実質的に完成された装置を形成した後の図10の基板の断面図である。

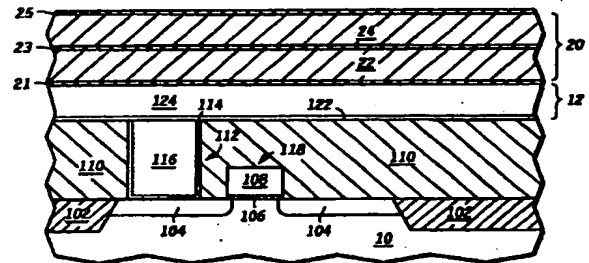
【符号の説明】

- 10 基板
- 12 相互接続レベル
- 20, 77, 110 誘電層
- 21, 70 パッシベーション層
- 22, 24, 71, 73 誘電膜
- 23, 72 エッチストップ膜
- 25, 76 ハードマスク膜
- 41, 81, 114, 122 粘着／バリア層
- 42, 82 シード層
- 43, 83, 124 導電膜
- 44 合金成分
- 84 導電性合金キャッピング膜
- 102 電界分離領域
- 104 ドーピング領域
- 106 ゲート誘電膜
- 108 ゲート電極
- 112 導電性プラグ
- 116 導電性充填材料
- 118 トランジスタ

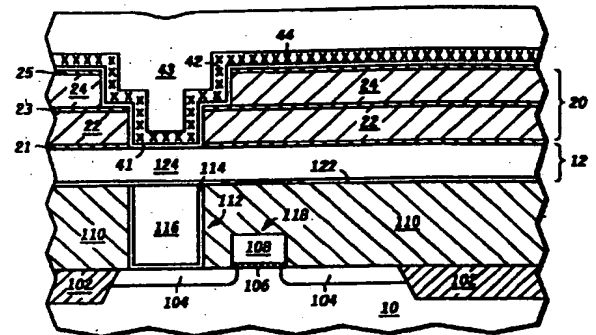
【図1】



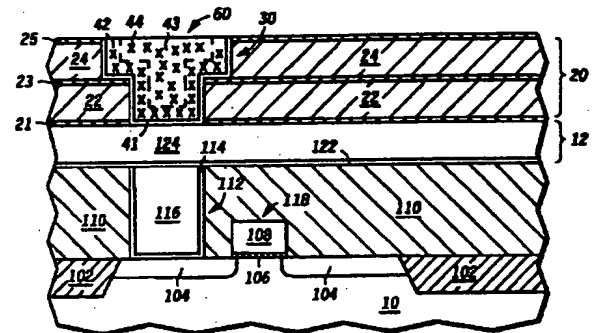
【図2】



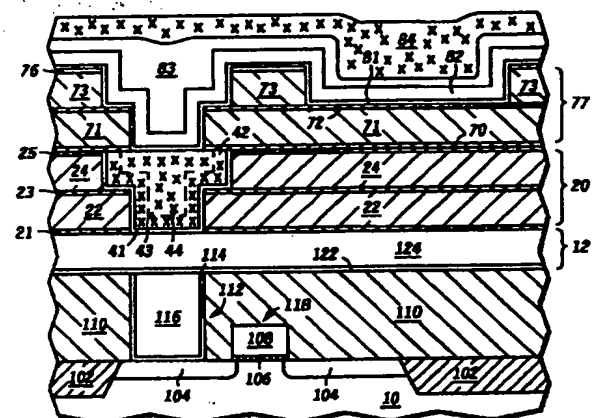
【図 4】



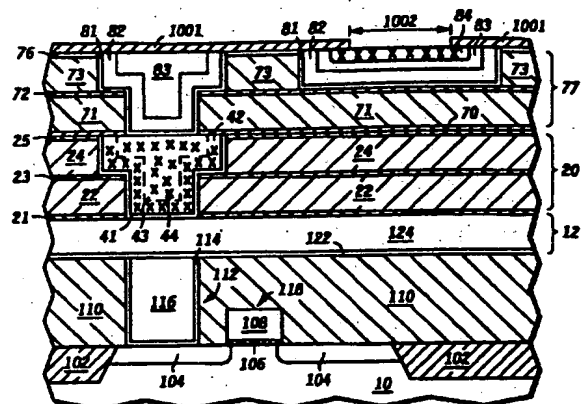
【図 6】



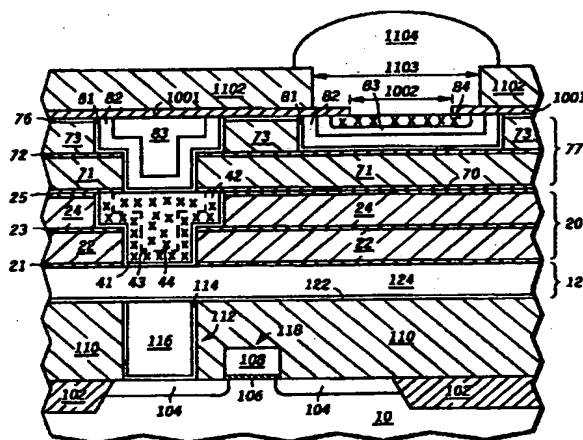
【図 7】



【図 10】



【图 11】



(72) 発明者	ラムナス・ベンカトラマン アメリカ合衆国テキサス州オースチン、ハ ローゲート・ドライブ6221
(72) 発明者	マシュー・トーマス・ヘリック アメリカ合衆国テキサス州オースチン、モ スクワ・トレイル13451
(72) 発明者	シンディ・アール・シンプソン アメリカ合衆国テキサス州オースチン、バ ック・ベイ・レーン5844

(72) 発明者	ロバート・ダブリュ・フィオダリス アメリカ合衆国テキサス州オースチン、イ ーストサイド・ドライブ2213
(72) 発明者	ディーン・ジェイ・デニング アメリカ合衆国テキサス州デル・ペイル、 ピアース・レーン12007
(72) 発明者	アジェイ・ジェイン アメリカ合衆国テキサス州オースチン、オ ールド・ハーバー・レーン6434
(72) 発明者	クリスティアーノ・キャバス アメリカ合衆国テキサス州オースチン、シ ンクリング・レーン12601